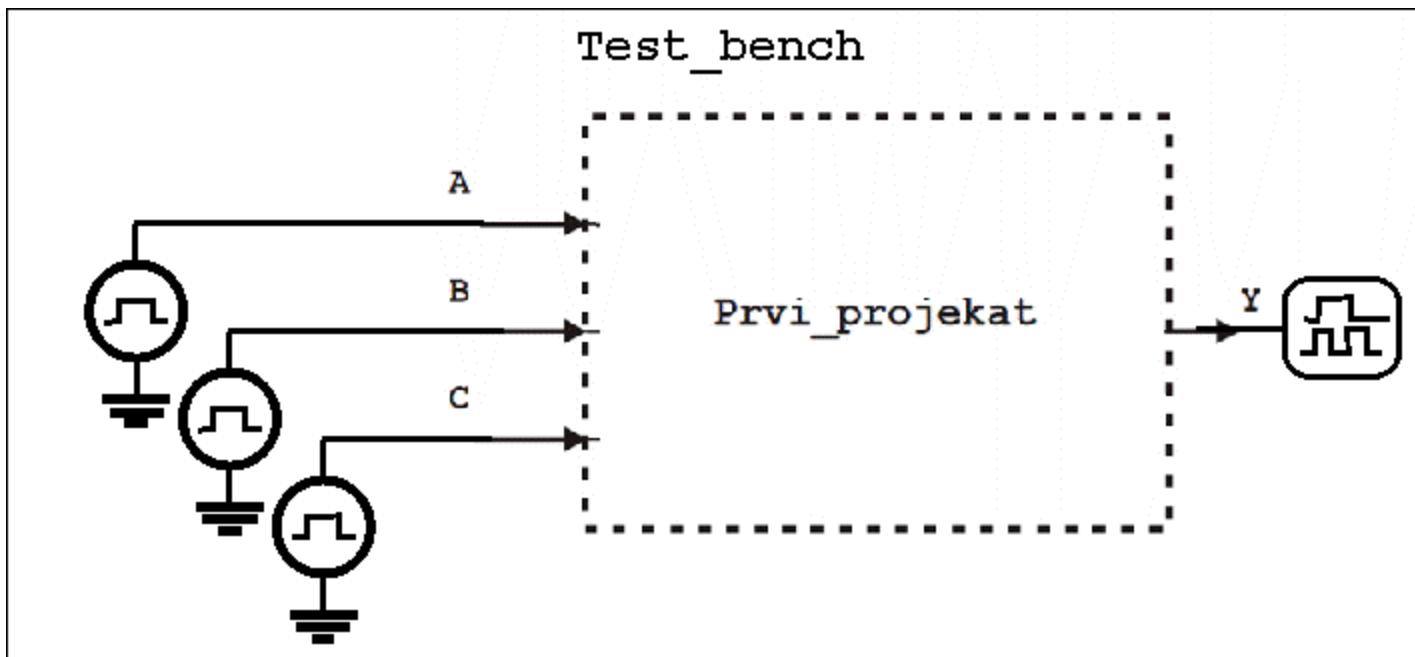


9. Verifikacija projekta (Test Bench)

- a. Vremenska funkcija (**after**)
- b. Konstanta (**constant**)
- c. Čekanje (**wait**)
- d. Upozorenje (**assert**)
- e. Zapis (**record**);
- f. Polje (**array**);
- g. Petlja (**loop**);
- h. Promenljive (**variable**);
- i. Zapisivanje u fajl (**write** i **writeline**);
- j. Vremenska funkcija (**now**)
- k. Čitanje iz fajla (**read** i **readline**);

9. Verifikacija projekta – (*Test bench*)



9. Verifikacija projekta – (*Test bench*)

Test bench (TB) mora da sadrzi tri celine:

- ◆ - komponentu koja se ispituje (UUT, Unit Under Test)
- ◆ - pobudu (generatori test sekvence)
- ◆ - monitor („instrument“ na kome se prati odziv).



9. Verifikacija projekta – (*Test bench*)

Generatori pobude i monitor satsavni su deo TB, tako da se radi o jedinstvenom entitetu koji ne komunicira sa okolnim svetom preko portova.

Saglasno definiciji entiteta, opis TB entiteta **ne zahteva definisanje ni portova ni opštih konstanti - generika.**

UUT je posebna celina – komponenta opisana entitetom i arhitekturom.

Sa pobudnim signalima i monitorom UUT je vezana preko sopstvenih portova koji **u odnosu na TB predstavljaju interne signale.**

Arhitektura TB opisuje se na struktturnom nivou.



9. Verifikacija projekta – (*Test bench*)

```
entity TestBench is
end entity TestBench; } "prazan" entitet

architecture TB_Arhitektura of TestBench is

component UUT (Arhitektura_UUT)
port( } Deklaracija komponente za UUT

end component UUT;

-- deklarisanje lokalnih signala i konstanti }

begin ← Početak opisa arhitekture

    u1: UUT port map (
        ); } Instanciranje komponente
              koja se testira

        konkurentno: | sekvencionalno:
        seq: process } Testiranje
        end process seq;

end architecture TB_Arhitektura; ← Kraj opisa arhitekture
```

9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva

Definisanje tabele pobude u okviru jednog procesa pogodno je kod manjih projekata, kada je dužina testnog vektora mala.

Testni vektor predstavlja sve kombinacije promene ulaznih signala koje su neophodne da bi se kolo testiralo.

Redosled ulaznih signala može da se zadaje konkurentno, direktnim dodeljivanjem vrednosti pojedinim signalima ili sekvencialno, u okviru procesa.

Za veća kola, međutim, mnogo je zgodnije zapisati povorku testnih impulsa u fajl, pa je odatle iščitati.



9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva

Verifikacija => modeli sa vremenskim parametrima.

Podrazumevaju definisanje talasnih oblika ulaznih signala, a takođe, mogu da obuhvataju i sva kašnjenja signala na putu od ulaza do izlaza.

O definisanju kašnjenja kroz pojedine komponente biće reči nešto kasnije; sada ćemo se posvetiti samo definisanju talasnih oblika ulaznog vektora.



9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva

Što se obrade informacija o odzivu tiče, ukoliko povorka izlaznih signala nije velika, najbrži način provere jeste posmatranje talasnih oblika signala.

Međutim, u slučajevima testiranja složenijih kola, kada su povorce izlaznih signala duge, mnogo je povoljnije da se informacija o odzivu upisuje u izlazni fajl.



9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva

Poređenjem željenog i dobijenog talasnog oblika utvrđuje se ispravnost kola, pri čemu je pogodno generisati i odgovarajuće poruke koje projektantu mogu pomoći prilikom otkrivanja i otklanjanja eventualnih nepravilnosti.

Kod složenih kola jako je korisno da se takve poruke upisuju u fajl, i da njihov sastavni deo bude i tačan trenutak na vremenskoj osi u kome je zapaženo odstupanje.



9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva

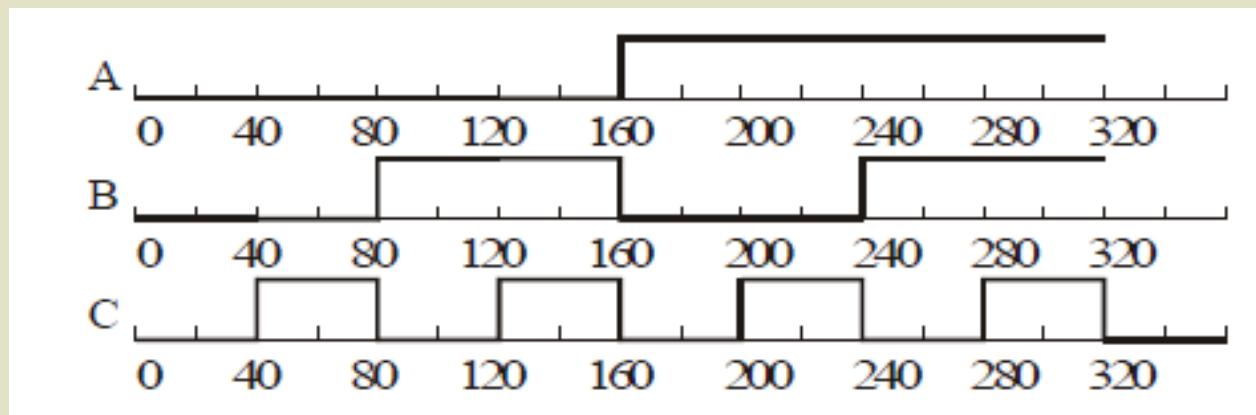
Da bi se ispitao odziv kola **Prvi_projekat** za sve moguće kombinacije ulaznih signala potrebno je da se kolo pobudi sa tačno osam kombinacija:

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

9. Verifikacija projekta – (*Test bench*)

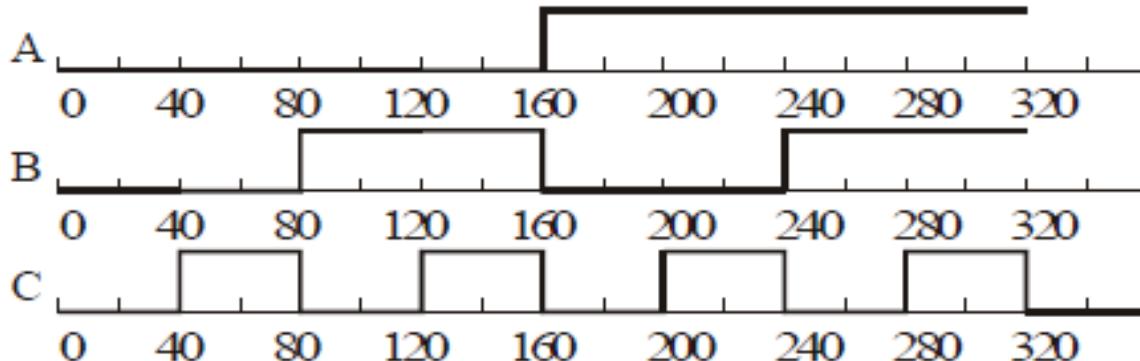
Definisanje pobude i željenog odziva

Da bi se ispitao odziv kola **Prvi_projekat** za sve moguće kombinacije ulaznih signala potrebno je da se kolo pobudi sa tačno osam kombinacija:

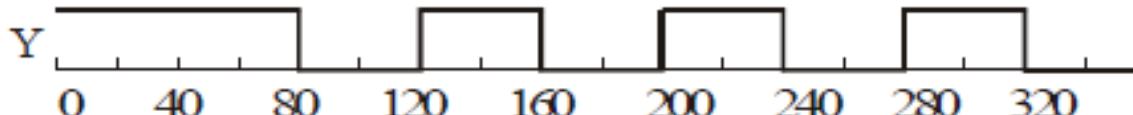


9. Verifikacija projekta – (*Test bench*)

Definisanje pobude



i željenog odziva



9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva (1)

```
1 library IEEE;
2 use IEEE.std_logic_1164.all;
3
4 entity TestBench is
5 end entity TestBench;
6
7 architecture Prvi_projekat_TB of TestBench is
8 -- deklarisanje komponente
9 component Prvi_projekat
10    port (A, B, C: in std logic;
11          Y: out std logic);
12 end component;
13
14 signal A, B, C, Y: std logic; -- deklarisanje signala
15 begin
```



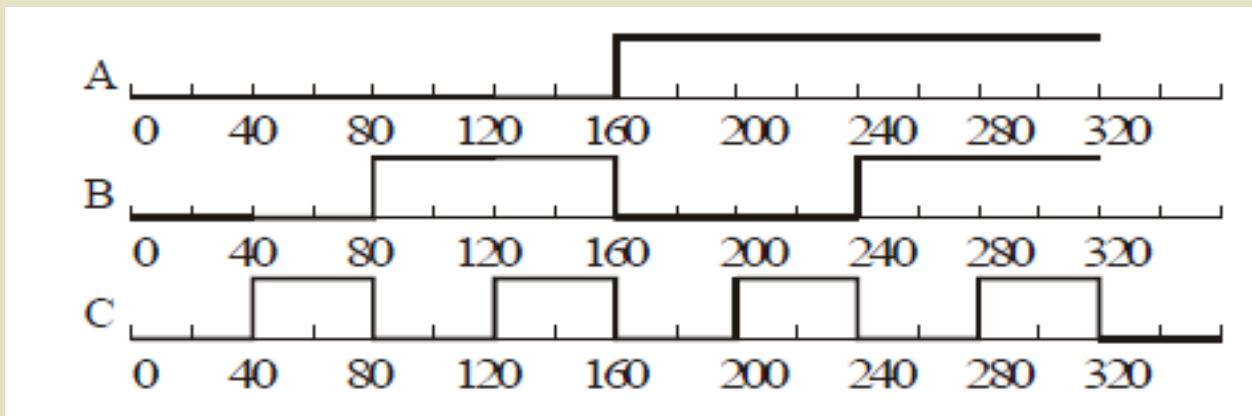
9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva

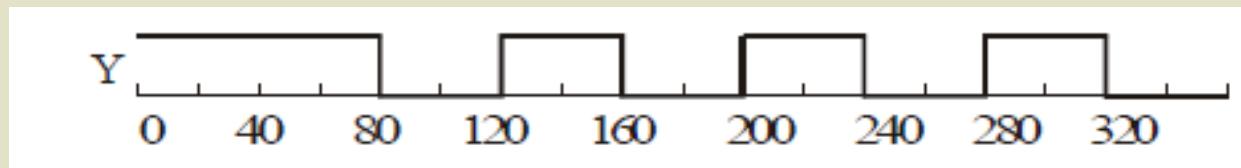
```
15 begin
16 -- instanciranje komponente
17     UUT: Prvi_projekat
18         port map ( A => A, B => B, C => C, Y => Y );
19 -- zadavanje pobude
20     C <= '0',      '1' after 40ns,
21                     '0' after 80ns,
22                     '1' after 120ns,
23                     '0' after 160ns,
24                     '1' after 200ns,
25                     '0' after 240ns,
26                     '1' after 280ns,
27                     '0' after 320ns;
28     B <= '0',      '1' after 80ns,
29                     '0' after 160ns,
30                     '1' after 240ns;
31     A <= '0',      '1' after 160ns;
32 end architecture Prvi_projekat_TB;
```

9. Verifikacija projekta – (*Test bench*)

Definisanje pobude (drugi način)



i željenog odziva



9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva (2)

Na ovom primeru naučili smo kako se jednostavno uz korišćenje ključne reči **after** specificira talasni oblik pobude. Naredbe su zadate konkurentno – u telu arhitekture

Pored toga, pobuda može da se zadaje i u vidu sekvence signala. U tu svrhu definisaćemo proces **pobuda** i razmotriti drugačiji način zadavanja pobude.



9 Verifikacija projekta – (Test bench)

```
1 -----
2 --
3 -- Title      : Test Bench for prvi projekat
4 -- Design     : Strukturni opis
5 -- Author     : Misa
6 -- Company    : Nis
7 --
8 -----
9 --
10 -- File       : $DSN\src\TestBench\prvi projekat TB.vhd
11 -- Generated   : 3/13/2010, 12:43 PM
12 -- From        : $DSN\src\prvi primer.vhd
13 -- By          : Active-HDL Built-in Test Bench Generator ver. 1.2s
14 --
15 -----
16 --
17 -- Description : Automatically generated Test Bench for prvi projekat tb
18 --
19 -----
20
21 library ieee;
22 use ieee.std_logic_1164.all;
23
24     -- Add your library and packages declaration here ...
25
26 entity prvi_projekat_tb is
27 end prvi_projekat_tb;
```

9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva (2)

```
31  architecture TB_ARCHITECTURE of prvi_projekat_tb is
32      -- Component declaration of the tested unit
33      component prvi_projekat
34          port(
35              a : in std logic;
36              b : in std logic;
37              c : in std logic;
38              y : out std logic );
39      end component;
40
41      -- Stimulus signals - signals mapped to the input and inout ports of
42      -- tested entity
43      signal a : std logic;
44      signal b : std logic;
45      signal c : std logic;
46      -- Observed signals - signals mapped to the output ports of tested
47      -- entity
48      signal y : std logic;
49      -- Add your code here ...
50
51      signal ulaz: std_logic_vector (2 downto 0);    -- deklarisanje novog
52      signal a1, b1, c1, d1, e1, f1, g1, h1, i1, j1, k1, l1, m1, n1, o1, p1, q1, r1, s1, t1, u1, v1, w1, x1, y1, z1: std_logic;
53      constant PropDelay: time := 40 ns;    -- deklarisanje konstante
54
55      begin
56
57          process is
58              variable a2, b2, c2, d2, e2, f2, g2, h2, i2, j2, k2, l2, m2, n2, o2, p2, q2, r2, s2, t2, u2, v2, w2, x2, y2, z2: std_logic;
59
60          begin
61
62              a2 := '0';
63              b2 := '0';
64              c2 := '0';
65              d2 := '0';
66              e2 := '0';
67              f2 := '0';
68              g2 := '0';
69              h2 := '0';
70              i2 := '0';
71              j2 := '0';
72              k2 := '0';
73              l2 := '0';
74              m2 := '0';
75              n2 := '0';
76              o2 := '0';
77              p2 := '0';
78              q2 := '0';
79              r2 := '0';
80              s2 := '0';
81              t2 := '0';
82              u2 := '0';
83              v2 := '0';
84              w2 := '0';
85              x2 := '0';
86              y2 := '0';
87              z2 := '0';
88
89              loop
90
91                  if (a = '1') and (b = '1') and (c = '1') then
92                      d2 := '1';
93                  else
94                      d2 := '0';
95                  end if;
96
97                  if (d = '1') and (e = '1') and (f = '1') then
98                      g2 := '1';
99                  else
100                     g2 := '0';
101                 end if;
102
103                 if (g = '1') and (h = '1') and (i = '1') then
104                     j2 := '1';
105                 else
106                     j2 := '0';
107                 end if;
108
109                 if (j = '1') and (k = '1') and (l = '1') then
110                     m2 := '1';
111                 else
112                     m2 := '0';
113                 end if;
114
115                 if (m = '1') and (n = '1') and (o = '1') then
116                     p2 := '1';
117                 else
118                     p2 := '0';
119                 end if;
120
121                 if (p = '1') and (q = '1') and (r = '1') then
122                     s2 := '1';
123                 else
124                     s2 := '0';
125                 end if;
126
127                 if (s = '1') and (t = '1') and (u = '1') then
128                     v2 := '1';
129                 else
130                     v2 := '0';
131                 end if;
132
133                 if (v = '1') and (w = '1') and (x = '1') then
134                     y2 := '1';
135                 else
136                     y2 := '0';
137                 end if;
138
139                 if (y = '1') and (z = '1') and (a = '1') then
140                     b2 := '1';
141                 else
142                     b2 := '0';
143                 end if;
144
145                 if (b = '1') and (c = '1') and (d = '1') then
146                     e2 := '1';
147                 else
148                     e2 := '0';
149                 end if;
150
151                 if (e = '1') and (f = '1') and (g = '1') then
152                     h2 := '1';
153                 else
154                     h2 := '0';
155                 end if;
156
157                 if (h = '1') and (i = '1') and (j = '1') then
158                     k2 := '1';
159                 else
160                     k2 := '0';
161                 end if;
162
163                 if (k = '1') and (l = '1') and (m = '1') then
164                     n2 := '1';
165                 else
166                     n2 := '0';
167                 end if;
168
169                 if (n = '1') and (o = '1') and (p = '1') then
170                     q2 := '1';
171                 else
172                     q2 := '0';
173                 end if;
174
175                 if (q = '1') and (r = '1') and (s = '1') then
176                     t2 := '1';
177                 else
178                     t2 := '0';
179                 end if;
180
181                 if (t = '1') and (u = '1') and (v = '1') then
182                     w2 := '1';
183                 else
184                     w2 := '0';
185                 end if;
186
187                 if (w = '1') and (x = '1') and (y = '1') then
188                     z2 := '1';
189                 else
190                     z2 := '0';
191                 end if;
192
193                 if (z = '1') and (a1 = '1') and (b1 = '1') then
194                     c2 := '1';
195                 else
196                     c2 := '0';
197                 end if;
198
199                 if (c = '1') and (d2 = '1') and (e2 = '1') then
200                     f2 := '1';
201                 else
202                     f2 := '0';
203                 end if;
204
205                 if (f = '1') and (g2 = '1') and (h2 = '1') then
206                     i2 := '1';
207                 else
208                     i2 := '0';
209                 end if;
210
211                 if (i = '1') and (j2 = '1') and (k2 = '1') then
212                     l2 := '1';
213                 else
214                     l2 := '0';
215                 end if;
216
217                 if (l = '1') and (m2 = '1') and (n2 = '1') then
218                     o2 := '1';
219                 else
220                     o2 := '0';
221                 end if;
222
223                 if (o = '1') and (p2 = '1') and (q2 = '1') then
224                     r2 := '1';
225                 else
226                     r2 := '0';
227                 end if;
228
229                 if (r = '1') and (s2 = '1') and (t2 = '1') then
230                     u2 := '1';
231                 else
232                     u2 := '0';
233                 end if;
234
235                 if (u = '1') and (v2 = '1') and (w2 = '1') then
236                     x2 := '1';
237                 else
238                     x2 := '0';
239                 end if;
240
241                 if (x = '1') and (y2 = '1') and (z2 = '1') then
242                     a2 := '1';
243                 else
244                     a2 := '0';
245                 end if;
246
247                 if (a2 = '1') and (b2 = '1') and (c2 = '1') then
248                     d2 := '1';
249                 else
250                     d2 := '0';
251                 end if;
252
253                 if (d2 = '1') and (e2 = '1') and (f2 = '1') then
254                     g2 := '1';
255                 else
256                     g2 := '0';
257                 end if;
258
259                 if (g2 = '1') and (h2 = '1') and (i2 = '1') then
260                     j2 := '1';
261                 else
262                     j2 := '0';
263                 end if;
264
265                 if (j2 = '1') and (k2 = '1') and (l2 = '1') then
266                     m2 := '1';
267                 else
268                     m2 := '0';
269                 end if;
270
271                 if (m2 = '1') and (n2 = '1') and (o2 = '1') then
272                     p2 := '1';
273                 else
274                     p2 := '0';
275                 end if;
276
277                 if (p2 = '1') and (q2 = '1') and (r2 = '1') then
278                     s2 := '1';
279                 else
280                     s2 := '0';
281                 end if;
282
283                 if (s2 = '1') and (t2 = '1') and (u2 = '1') then
284                     v2 := '1';
285                 else
286                     v2 := '0';
287                 end if;
288
289                 if (v2 = '1') and (w2 = '1') and (x2 = '1') then
290                     y2 := '1';
291                 else
292                     y2 := '0';
293                 end if;
294
295                 if (y2 = '1') and (z2 = '1') and (a2 = '1') then
296                     b2 := '1';
297                 else
298                     b2 := '0';
299                 end if;
300
310             end loop;
311         end process;
312     end architecture;
```

9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva (2)

```
50 begin
51
52     -- Unit Under Test port map
53     UUT : prvi_projekat
54         port map (
55             a => ulaz(2),      -- a=MSB od ulaz
56             b => ulaz(1),
57             c => ulaz(0),      -- c=LSB od ulaz
58             y => y
59         );
60
61     -- Add your stimulus here ...
62     pobuda: process
63     begin
64         ulaz <= "000"; wait for PropDelay;
65         ulaz <= "001"; wait for PropDelay;
66         ulaz <= "010"; wait for PropDelay;
67         ulaz <= "011"; wait for PropDelay;
68         ulaz <= "100"; wait for PropDelay;
69         ulaz <= "101"; wait for PropDelay;
70         ulaz <= "110"; wait for PropDelay;
71         ulaz <= "111"; wait for PropDelay;
72     end process pobuda;
73 end TB_ARCHITECTURE;
74
```

9. Verifikacija projekta – (*Test bench*)

Definisanje pobude i željenog odziva (2)

```
73 end TB_ARCHITECTURE;  
74  
75 configuration TESTBENCH_FOR_prvi_projekat of prvi_projekat_tb is  
76     for TB_ARCHITECTURE  
77         for UUT : prvi_projekat  
78             use entity work.prvi_projekat(strukturni_opis);  
79         end for;  
80     end for;  
81 end TESTBENCH_FOR_prvi_projekat;
```

```
73 end TB_ARCHITECTURE;  
74  
75 configuration TESTBENCH_FOR_prvi_projekat of prvi_projekat_tb is  
76     for TB ARCHITECTURE  
77         for UUT : prvi_projekat  
78             use entity work.prvi_projekat(protok_podataka);  
79         end for;  
80     end for;  
81 end TESTBENCH_FOR_prvi_projekat;
```